

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077618

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 27/10  
H01L 21/8234  
H01L 27/088  
H01L 27/108  
H01L 21/8242

(21)Application number : 10-364752

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.12.1998

(72)Inventor : IIDA SATOSHI

(30)Priority

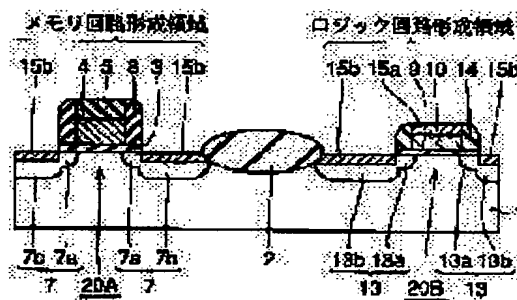
Priority number : 10167159 Priority date : 15.06.1998 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a dual gate oxide capable of preventing insulation breakdown voltage drop of a gate insulation layer, and its manufacturing method.

SOLUTION: In this semiconductor device, within a memory circuit forming region of a silicon substrate 1, a first gate electrode layer 4 and a hard mask layer 5 are formed on a first gate insulation layer 3. Within a logic circuit forming region, a second gate electrode layer 10 is formed on a second gate insulation layer 9 having a film thickness differing from the first gate insulation layer 3. First and second sidewall insulation layers 8, 14 are composed of a material differing from the hard mask layer 5.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-77618

(P2000-77618A)

(43) 公開日 平成12年3月14日 (2000.3.14)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テーマコード* (参考)      |
|---------------------------|-------|---------------|-------------------|
| H 0 1 L 27/10             | 4 6 1 | H 0 1 L 27/10 | 4 6 1 5 F 0 4 8   |
| 21/8234                   |       | 27/08         | 1 0 2 C 5 F 0 8 3 |
| 27/088                    |       | 27/10         | 6 8 1 F           |
| 27/108                    |       |               |                   |
| 21/8242                   |       |               |                   |

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平10-364752

(22) 出願日 平成10年12月22日 (1998.12.22)

(31) 優先権主張番号 特願平10-167159

(32) 優先日 平成10年6月15日 (1998.6.15)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 飯田 里志

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

Fターム(参考) 5F048 AA05 AB01 AB03 BA01 BB05

BB08 BB10 BC06 DA25

5F083 AD00 AD10 GA24 JA35 JA39

JA53 JA56 PR06 PR45 PR55

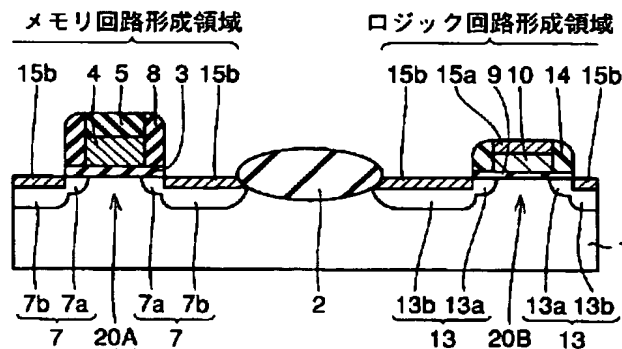
ZA05 ZA06 ZA07 ZA12

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲート絶縁層の絶縁耐圧不良の発生を防止できるデュアルゲートオキサイドを有する半導体装置およびその製造方法を提供する。

【解決手段】 シリコン基板1のメモリ回路形成領域内には、第1のゲート絶縁層3上に第1のゲート電極層4とハードマスク層5とが形成されている。ロジック回路形成領域内には第1のゲート絶縁層3と異なる膜厚を有する第2のゲート絶縁層9上に第2のゲート電極層10が形成されている。第1および第2の側壁絶縁層8、14はハードマスク層5と異なる材質よりなっている。



【特許請求の範囲】

【請求項 1】 メモリ回路とロジック回路とを同一チップ内に混載した半導体装置であって、主表面を有する半導体基板と、前記半導体基板の前記メモリ回路の形成領域内の主表面上に形成された第 1 のゲート絶縁層と、前記第 1 のゲート絶縁層上に形成された第 1 のゲート電極層と、前記第 1 のゲート電極層上に形成された絶縁層よりなるハードマスク層と、前記第 1 のゲート電極層と前記ハードマスク層との側壁を覆い、かつ前記ハードマスク層と異なる材質を含む第 1 の側壁絶縁層と、前記半導体基板の前記ロジック回路の形成領域内の主表面上に形成され、かつ前記第 1 のゲート絶縁層と異なる膜厚を有する第 2 のゲート絶縁層と、前記第 2 のゲート絶縁層上に形成された第 2 のゲート電極層と、前記第 2 のゲート電極層の側壁を覆い、かつ前記ハードマスク層と異なる材質を含む第 2 の側壁絶縁層とを備えた、半導体装置。

【請求項 2】 前記第 1 のゲート電極層の下側領域を挟むように前記半導体基板の主表面上に形成されたソース／ドレインを構成する 1 対の第 1 不純物領域と、前記第 2 のゲート電極層の下側領域を挟むように前記半導体基板の主表面上に形成されたソース／ドレインを構成する 1 対の第 2 不純物領域とをさらに備えた、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 不純物領域の表面に接する第 1 のシリサイド層と、前記第 2 不純物領域の表面に接する第 2 のシリサイド層と、

前記第 2 のゲート電極層の上面に接する第 3 のシリサイド層とをさらに備えた、請求項 2 に記載の半導体装置。

【請求項 4】 前記第 1、第 2 および第 3 のシリサイド層は、チタンシリサイド、コバルトシリサイドおよびニッケルシリサイドよりなる群より選ばれる 1 種以上のシリサイドを含む、請求項 3 に記載の半導体装置。

【請求項 5】 前記ハードマスク層はシリコン窒化膜と TEOS 酸化膜との積層膜よりなり、前記第 1 の側壁絶縁層はシリコン窒化膜単層よりなる、請求項 1 に記載の半導体装置。

【請求項 6】 メモリ回路とロジック回路とを同一チップ内に混載した半導体装置の製造方法であって、半導体基板の主表面に第 1 のゲート絶縁層を形成する工程と、前記第 1 のゲート絶縁層上に第 1 のゲート用導電層を形成する工程と、前記メモリ回路の形成領域内であって、前記第 1 のゲート用導電層上にパターンニングされた絶縁層よりなるハー

ドマスク層を形成する工程と、

前記ハードマスク層をマスクとして前記第 1 のゲート用導電層をエッチングして第 1 のゲート電極層を形成する工程と、

前記第 1 のゲート電極層と前記ハードマスク層とを覆うように、前記ハードマスク層と異なる材質を含む第 1 の絶縁層を形成する工程と、

少なくとも前記ハードマスク層の表面が露出するまで前記第 1 の絶縁層の表面全面に異方性のドライエッチングを施すことで、前記第 1 のゲート電極層と前記ハードマスク層との側壁を覆うように前記第 1 の絶縁層を第 1 の側壁絶縁層として残存させるとともに、前記第 1 の側壁絶縁層と前記第 1 のゲート電極層とから露出した前記第 1 のゲート絶縁層を除去して前記半導体基板の表面を露出させる工程と、

露出した前記半導体基板の主表面に前記第 1 のゲート絶縁層と異なる膜厚の第 2 のゲート絶縁層を形成する工程と、

前記ロジック回路の形成領域内であって、前記第 2 のゲート絶縁層上にパターンニングされた導電層よりなる第 2 のゲート電極層を形成する工程と、

前記第 2 のゲート電極層、前記第 1 の側壁絶縁層および前記ハードマスク層を覆うように第 2 の絶縁層を形成する工程と、

少なくとも前記ハードマスク層の表面が露出するまで前記第 2 の絶縁層の表面全面に異方性のドライエッチングを施すことで、前記第 2 のゲート電極層の側壁を覆うように前記第 2 の絶縁層を第 2 の側壁絶縁層として残存させるとともに、前記第 2 の側壁絶縁層と前記第 2 のゲート電極層とから露出した前記第 2 のゲート絶縁層を除去する工程とを備えた、半導体装置の製造方法。

【請求項 7】 前記第 1 のゲート電極層をマスクとして前記半導体基板に不純物を導入することで、前記第 1 のゲート電極層の下側領域を挟むように前記半導体基板の主表面に 1 対の第 1 低濃度不純物領域を形成する工程と、

前記第 2 のゲート電極層をマスクとして前記半導体基板に不純物を導入することで、前記第 2 のゲート電極層の下側領域を挟むように前記半導体基板の主表面に 1 対の第 2 低濃度不純物領域を形成する工程と、

前記第 1 のゲート電極層と前記第 1 の側壁絶縁層とをマスクとして前記半導体基板に不純物を導入することで、前記第 1 のゲート電極層と前記第 1 の側壁絶縁層との下側領域を挟むように前記半導体基板の主表面に 1 対の第 1 高濃度不純物領域を形成することで、前記第 1 低濃度不純物領域と前記第 1 高濃度不純物領域とで第 1 のソース／ドレイン領域を構成する工程と、

前記第 2 のゲート電極層と前記第 2 の側壁絶縁層とをマスクとして前記半導体基板に不純物を導入することで、前記第 2 のゲート電極層と前記第 2 の側壁絶縁層との下

側領域を挟むように前記半導体基板の主表面に1対の第1高濃度不純物領域を形成することで、前記第2低濃度不純物領域と前記第2高濃度不純物領域とで第2のソース／ドレイン領域を構成する工程とをさらに備えた、請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第2のゲート電極層表面、前記ハードマスク層表面および前記第1および第2のソース／ドレイン領域表面に接するように金属層を形成する工程と、前記金属層が前記第2のゲート電極層と接する部分および前記第1および第2のソース／ドレイン領域と接する部分をシリサイド化させ、前記第1のソース／ドレイン領域表面に第1のシリサイド層と、前記第2のソース／ドレイン領域表面に第2のシリサイド層と、前記第2のゲート電極層表面に第3のシリサイド層とを形成する工程とを備えた、請求項7に記載の半導体装置の製造方法。

【請求項9】 前記金属層は、チタン、コバルトおよびニッケルよりなる群より選ばれる1種以上の金属を含んでいる、請求項8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、より特定的には、1つのデバイス中に膜厚の異なる複数のゲート絶縁層を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体装置の集積化・統合化に伴い、1つのチップ内に異なる膜厚のゲート酸化膜を有するデバイス（デュアルゲートオキサイドデバイス）が増加している。特に、DRAM（Dynamic Random Access Memory）を始めとするメモリデバイスとロジックデバイスとを混載したものにおいて、デュアルゲートオキサイドの増加が著しくなっている。このようなデュアルゲートオキサイドの製造方法は、たとえば特開平4-260364号公報に開示されている。以下、この公報に開示された技術を従来の技術として説明する。

【0003】図15～図23は、従来のデュアルゲートオキサイドを有する半導体装置の製造方法を工程順に示す概略断面図である。まず図15を参照して、シリコン基板101の表面に、LOCOS（Local Oxidation of Silicon）法により、素子分離絶縁層102が形成される。この後、熱酸化法により、シリコン基板101の表面に第1のゲート酸化膜103が形成される。

【0004】図16を参照して、表面全面を覆うように化学的気相成長法により、多結晶シリコン膜104が形成される。多結晶シリコン膜104上に、フォトレジスト105が塗布された後、感光・現像処理が施されてレジストパターン105とされる。このレジストパターン105をマスクとして多結晶シリコン膜104にエッチ

ングが施される。この後、レジストパターン105が除去される。

【0005】図17を参照して、上記のエッチングにより、第1のトランジスタ形成領域に第1のゲート電極層104が形成される。この後、第2のトランジスタ形成領域を覆い、第1のトランジスタ形成領域を露出するレジストパターン（図示せず）が通常の写真製版技術により形成される。このレジストパターンをマスクとしてイオン注入を施すことにより、シリコン基板101表面に比較的低濃度の1対の不純物領域107aが形成される。この後、レジストパターンが除去される。

【0006】図18を参照して、化学的気相成長法により、表面全面にシリコン酸化膜108（一点鎖線部分）が形成される。このシリコン酸化膜108の全面に異方性エッチングが施される。これによって、第1のゲート電極層104側壁にのみシリコン酸化膜108が側壁絶縁層として残存されるとともに、この側壁絶縁層108およびゲート電極層104から露出する部分の第1のゲート酸化膜103が除去される。

【0007】図19を参照して、たとえばフッ化水素などでいわゆるライトエッチングが行なわれて、シリコン基板101の表層に形成されている自然酸化膜が除去される。この後、露出しているシリコン基板101の上面に、熱酸化法により、第1のゲート酸化膜103とは異なる膜厚の第2のゲート酸化膜109が形成される。

【0008】図20を参照して、第2のゲート酸化膜109の表面全面上に多結晶シリコン膜110が形成される。この多結晶シリコン膜110上に通常の写真製版技術によりレジストパターン111が形成され、このレジストパターン111をマスクとして多結晶シリコン膜110にエッチングが施される。この後、レジストパターン111が除去される。

【0009】図21を参照して、上記のエッチングにより、第2のトランジスタ形成領域に第2のゲート電極層110が形成される。この後、第1のトランジスタ形成領域を覆うように通常の写真製版技術によりレジストパターン（図示せず）が形成される。このレジストパターンをマスクとしてイオン注入を施すことにより、シリコン基板101表面に比較的低濃度の1対の不純物領域113aが形成される。この後、レジストパターンが除去される。

【0010】図22を参照して、図18のプロセスで説明したと同様の方法により、第2のゲート電極層110の側壁を覆うように、シリコン酸化膜などからなる側壁絶縁層114が形成される。

【0011】図23を参照して、第1および第2のゲート電極層104、110、側壁絶縁層108、114、フィールド酸化膜102などをマスクとしてイオン注入を施すことにより、シリコン基板101の表面に、比較的高濃度の不純物領域107b、113bが形成され

る。この比較的低濃度の不純物領域107aと比較的高濃度の不純物領域107bとによりLDD (Lightly Doped Drain) 構造のソース／ドレイン領域107が構成され、また比較的低濃度の不純物領域113aと比較的高濃度の不純物領域113bとによりLDD構造のソース／ドレイン領域113が構成される。これにより、互いに異なる膜厚のゲート酸化膜103、109を有するMOS (Metal Oxide Semiconductor) トランジスタ120A、120Bが形成される。

【0012】この製造方法では、第1のゲート酸化膜103は図15に示すように1回の熱酸化処理で形成され、また第2のゲート酸化膜109も図19に示すように1回の熱酸化処理で形成される。このため、第1および第2のゲート酸化膜103、109は、設計膜厚に対して高精度に形成され、また不純物を含まずに高純度に形成される。したがって、高耐圧の第1および第2のゲート酸化膜103、109を得ることができる。

【0013】

【発明が解決しようとする課題】しかしながら、従来のデュアルゲートオキサイドを有する半導体装置の製造方法では、ゲート電極層がプラズマに晒されることによって、ゲート酸化膜の絶縁耐圧不良が生じるという問題点があった。以下、そのことについて詳細に説明する。

【0014】従来の製造方法では、図17に示すように第1のゲート電極層104が形成された後、図18に示すように側壁絶縁層108が形成される。この際、シリコン酸化膜108 (一点鎖線部分) が全面に形成された後に、第1のゲート電極層104の上面が露出するまでシリコン酸化膜108に全面異方性エッチングが施される。このため、第1のゲート電極層104の上面は、この全面異方性エッチング時にプラズマに晒されることになる。

【0015】また、図21に示すように第2のゲート電極層110が形成された後にも、図22に示すように側壁絶縁層114が形成される。この際、図21において第1のゲート電極層104上のシリコン酸化膜109の膜厚が非常に薄いため、側壁絶縁層114形成のための全面異方性エッチング時に第1のゲート電極層104の上面が露出する。このため、第1のゲート電極層104の上面は、側壁絶縁層114形成時の全面異方性エッチング時にもプラズマに晒されることになる。

【0016】このように従来の製造方法では、互いに異なる膜厚の第1および第2のゲート酸化膜103、109を別個に形成する必要から、第1のゲート電極層104上面がプラズマに複数回晒されることになる。これによって、エッチング種・反応生成物が第1のゲート電極層104に多数打込まれ、これに伴って第1のゲート電極層104の上面には多数の電荷が導入される。上面に導入された電荷は第1のゲート電極層104内の電荷の分布の不均一さを緩和するため、第1のゲート電極層1

04の下面側へ移動しようとする。その際に、第1のゲート酸化膜103内に電荷が入り、蓄積されて第1のゲート酸化膜103にチャージアップが顕著に生じ、第1のゲート酸化膜103の絶縁耐圧不良が生じてしまう。

【0017】それゆえ、本発明の目的は、ゲート絶縁層の絶縁耐圧不良の発生を防止できるデュアルゲートオキサイドを有する半導体装置およびその製造方法を提供することである。

【0018】

【課題を解決するための手段】本発明の半導体装置は、メモリ回路とロジック回路とを同一チップ内に混載した半導体装置であって、半導体基板と、第1および第2のゲート絶縁層と、第1および第2のゲート電極層と、ハードマスク層と、第1および第2の側壁絶縁層とを備えている。半導体基板は主表面を有している。第1のゲート絶縁層は、半導体基板のメモリ回路の形成領域内の主表面上に形成されている。第1のゲート電極層は、第1のゲート絶縁層上に形成されている。ハードマスク層は、第1のゲート電極層上に形成された絶縁層よりなっている。第1の側壁絶縁層は、第1のゲート電極層とハードマスク層との側壁を覆い、かつハードマスク層と異なる材質を含んでいる。第2のゲート絶縁層は、半導体基板のロジック回路の形成領域内の主表面上に形成され、かつ第1のゲート電極層と異なる膜厚を有している。第2のゲート電極層は、第2のゲート絶縁層上に形成されている。第2の側壁絶縁層は、第2のゲート電極層の側壁を覆い、かつハードマスク層と異なる材質を含んでいる。

【0019】本発明の半導体装置では、第1のゲート電極層上には第1および第2の側壁絶縁層と異なる材質を含むハードマスク層が形成されている。このため、第1および第2の側壁絶縁層形成のための全面異方性エッチング時に、第1のゲート電極層の上面が露出することがないため、プラズマに晒されることもない。よって、上記全面異方性エッチング時に、第1のゲート電極層は、その上面にエッチング種・反応生成物を打込まれることはないため、それらによる第1のゲート絶縁層のチャージアップも生じない。したがって、第1のゲート絶縁層の絶縁耐圧不良の発生を抑制することができる。

【0020】上記の半導体装置において好ましくは、第1のゲート電極層の下側領域を挟むように半導体基板の主表面に形成されたソース／ドレインを構成する1対の第1不純物領域と、第2のゲート電極層の下側領域を挟むように半導体基板の主表面に形成されたソース／ドレインを構成する1対の第2不純物領域とがさらに備えられている。

【0021】これにより、メモリ回路、ロジック回路を構成する各トランジスタのソース／ドレインを形成することができる。

【0022】上記の半導体装置において好ましくは、第

1 不純物領域の表面に接する第1のシリサイド層と、第2不純物領域の表面に接する第2のシリサイド層と、第2のゲート電極層の上面に接する第3のシリサイド層とがさらに備えられている。

【0023】この第1～第3のシリサイド層により、ソース／ドレイン領域およびゲート電極層の低抵抗化を図ることができ、高速動作が可能となる。

【0024】上記の半導体装置において好ましくは、第1、第2および第3のシリサイド層は、チタンシリサイド、コバルトシリサイドおよびニッケルシリサイドよりなる群より選ばれる1種以上のシリサイドを含んでいる。

【0025】これにより、各条件に適したシリサイド層を選択することができる。上記の半導体装置において好ましくは、ハードマスク層はシリコン窒化膜とTEOS酸化膜との積層膜よりなり、第1の側壁絶縁層はシリコン窒化膜単層よりなる。

【0026】これにより、層間容量を抑制できるとともに、エッチングストップとしての機能を持たせることが可能となる。

【0027】本発明の半導体装置の製造方法は、メモリ回路とロジック回路とを同一チップ内に混載した半導体装置の製造方法であって、以下の工程を備えている。

【0028】まず半導体基板の主表面に第1のゲート絶縁層が形成される。そして第1のゲート絶縁層上に第1のゲート用導電層が形成される。そしてメモリ回路の形成領域内であって第1のゲート用導電層上にパターンニングされた絶縁層よりなるハードマスク層が形成される。そしてハードマスク層をマスクとして第1のゲート用導電層がエッチングされて第1のゲート電極層が形成される。そして第1のゲート電極層とハードマスク層とを覆うように、ハードマスク層と異なる材質を含む第1の絶縁層が形成される。そして、少なくともハードマスク層の表面が露出するまで第1の絶縁層の表面全面に異方性のドライエッチングが施されることで、第1のゲート絶縁層とハードマスク層との側壁を覆うように第1の絶縁層が第1の側壁絶縁層として残存されるとともに、第1の側壁絶縁層と第1のゲート電極層とから露出した第1のゲート絶縁層が除去されて半導体基板の表面が露出する。そして露出した半導体基板の主表面に第1のゲート絶縁層と異なる膜厚の第2のゲート絶縁層が形成される。そしてロジック回路の形成領域内であって、第2のゲート絶縁層上にパターンニングされた導電層よりなる第2のゲート電極層が形成される。そして第2のゲート電極層、第1の側壁絶縁層およびハードマスク層を覆うように第2の絶縁層が形成される。そして少なくともハードマスク層の表面が露出するまで第2の絶縁層の表面全面に異方性のドライエッチングを施すことで、第2のゲート電極層の側壁を覆うように第2の絶縁層が第2の側壁絶縁層として残存されるとともに、第2の側壁絶縁層

と第2のゲート電極層とから露出した第2のゲート絶縁層が除去される。

【0029】本発明の半導体装置の製造方法では、第1のゲート電極層上には第1および第2の側壁絶縁層と異なる材質を含むハードマスク層が形成される。このため、第1および第2の側壁絶縁層の形成のための全面ドライエッチング時に、第1のゲート電極層の上面が露出することがないため、プラズマに晒されることもない。よって、上記全面ドライエッチング時に、第1のゲート電極層は、その上面にエッチング種・反応生成物を打込まれることがないため、それらによる第1のゲート絶縁層のチャージアップも生じない。したがって、第1のゲート絶縁層の絶縁耐圧不良の発生を抑制することができる。

【0030】上記の半導体装置の製造方法において好ましくは、以下の工程がさらに備えられている。

【0031】第1のゲート電極層をマスクとして半導体基板に不純物が導入されることで、第1のゲート電極層の下側領域を挟むように半導体基板の主表面に1対の低濃度不純物領域が形成される。そして第2のゲート電極層をマスクとして半導体基板に不純物が導入されることで、第2のゲート電極層の下側領域を挟むように半導体基板の主表面に1対の第2低濃度不純物領域が形成される。そして第1のゲート電極層と第1の側壁絶縁層とをマスクとして半導体基板に不純物が導入されることで、第1のゲート電極層と第1の側壁絶縁層との下側領域を挟むように半導体基板の主表面に1対の第1高濃度不純物領域が形成されることで、第1低濃度不純物領域と第1高濃度不純物領域とで第1のソース／ドレイン領域が構成される。そして第2のゲート電極層と第2の側壁絶縁層とをマスクとして半導体基板に不純物が導入されることで、第2のゲート電極層と第2の側壁絶縁層との下側領域を挟むように半導体基板の主表面に1対の第2高濃度不純物領域が形成されることで、第2低濃度不純物領域と第2高濃度不純物領域とで第2のソース／ドレイン領域が構成される。

【0032】これにより、メモリ回路、ロジック回路を構成する各トランジスタのソース／ドレインを形成することができる。

【0033】上記の半導体装置の製造方法において好ましくは、第2のゲート電極層表面、ハードマスク層表面および第1および第2のソース／ドレイン表面に接するように金属層を形成する工程と、金属層が第2のゲート電極層と接する部分および第1および第2のソース／ドレイン領域と接する部分をシリサイド化させ、第1のソース／ドレイン領域表面に第1のシリサイド層と、第2のソース／ドレイン領域表面に第2のシリサイド層と、第2のゲート電極層表面に第3のシリサイド層とを形成する工程とがさらに備えられている。

【0034】この第1～第3のシリサイド層により、ソ

ース／ドレイン領域およびゲート電極層の低抵抗化を図ることができ、高速動作が可能となる。

【0035】上記の半導体装置の製造方法において好ましくは、金属層はチタン、コバルトおよびニッケルよりなる群より選ばれる1種以上の金属を含んでいる。

【0036】これにより、各条件に適したシリサイド層を選択することができる。

【0037】

【発明の実施の形態】以下、本発明の実施の形態について図に基づいて説明する。

【0038】図1～図14は、本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法を工程順に示す概略断面図である。まず図1を参照して、シリコン基板1の表面に、たとえばLOCOS法により、フィールド酸化膜よりなる素子分離絶縁層2が形成される。この後、たとえば熱酸化法によりシリコン酸化膜よりなる第1のゲート絶縁層3がシリコン基板1の表面に形成される。

【0039】図2を参照して、シリコン基板1の表面全面に第1のゲート用導電層4と、ハードマスク層5とが順に積層して形成される。ここで第1のゲート用導電層4には、たとえば不純物がドーブされた多結晶シリコン膜、アモルファスシリコン膜などの単層膜や、W（タングステン）ポリサイド膜、Ti（チタン）ポリサイド膜などの積層膜が用いられる。また、ハードマスク層5には、たとえばTEOS酸化膜、シリコン窒化膜などが用いられる。

【0040】この後、ハードマスク層5上に、通常の写真製版技術によりレジストパターン（図示せず）が形成される。このレジストパターンをマスクとしてハードマスク層5にエッチングを施すことにより、ハードマスク層5がパターンニングされる。この後、アッシング処理によりハードマスク層5上のレジストパターンが除去される。

【0041】次にパターンニングされたハードマスク層5をマスクとして第1のゲート用導電層4に異方性エッチングが施される。これにより、第1のゲート用導電層4がパターンニングされてメモリ回路形成領域に第1のゲート電極層4が形成される。

【0042】図3を参照して、通常の写真製版技術により、ロジック回路形成領域上を覆うレジストパターン6が形成され、このレジストパターン6をマスクとしてシリコン基板1の表面にイオン注入が施される。これにより、第1のゲート電極層4の下側領域を挟むようにシリコン基板1の表面に比較的低濃度の1対の不純物領域7aが形成される。この後、レジストパターン6がアッシング処理により除去される。

【0043】図4を参照して、シリコン基板1の表面全面にハードマスク層5とは異なる材質、たとえばシリコン酸化膜などよりなる絶縁層8が成膜される。この後、

少なくともハードマスク層5の上面が露出するまで絶縁層8の全面に異方性のドライエッチングによるエッチバックが施される。

【0044】図5を参照して、これにより、第1のゲート電極層4およびハードマスク層5の側壁を覆うように絶縁層8が側壁絶縁層として残存される。また、この側壁絶縁層8および第1のゲート電極層4から露出した部分の第1のゲート絶縁層3が除去されシリコン基板1の表面が露出する。

【0045】図6を参照して、たとえば熱酸化が施され、第1のゲート絶縁層3と異なる膜厚で、たとえばシリコン酸化膜よりなる第2のゲート絶縁層9が形成される。

【0046】図7を参照して、シリコン基板1の表面全面に、第2のゲート用導電層10が成膜される。この第2のゲート用導電層10は、たとえば不純物がドーブされた多結晶シリコン膜やアモルファスシリコン膜などの単層膜よりなっている。この後、第2のゲート用導電層10上に、通常の写真製版技術によりレジストパターン11が形成される。このレジストパターン11をマスクとして第2のゲート用導電層10に異方性エッチングが施される。この後、レジストパターン11がアッシング処理により除去される。

【0047】図8を参照して、この異方性エッチングにより、ロジック回路形成領域に第2のゲート電極層10が形成される。

【0048】図9を参照して、通常の写真製版技術により、メモリ回路形成領域を覆うレジストパターン12が形成され、このレジストパターン12をマスクとしてシリコン基板1にイオン注入が施される。このイオン注入により、第2のゲート電極層10の下側領域を挟むように比較的低濃度の1対の不純物領域13aが形成される。この後、レジストパターン12がアッシング処理により除去される。

【0049】図10を参照して、シリコン基板1の表面全面に、ハードマスク層5と異なる材質、たとえばシリコン酸化膜などよりなる絶縁層14が形成される。この絶縁層14の全面に、異方性のドライエッチングによるエッチバックが施される。

【0050】図11を参照して、このエッチバックにより、第2のゲート電極層10の側壁を覆うように絶縁層14が側壁絶縁層として残存される。また、側壁絶縁層14と第2のゲート電極層10から露出した部分の第2のゲート絶縁層9が除去されシリコン基板1の表面が露出する。

【0051】図12を参照して、メモリ回路形成領域とロジック回路形成領域とに別個にまたは一括にイオン注入が施される。これにより、メモリ回路形成領域内にはシリコン基板1の表面に比較的高濃度の1対の不純物領域7bが形成され、ロジック回路形成領域内には比較的

高濃度の1対の不純物領域13bが形成される。比較的低濃度の不純物領域7aと比較的高濃度の不純物領域7bとによりLDD (Lightly Doped Drain) 構造のソース／ドレイン7が構成される。また比較的低濃度の不純物領域13aと比較的高濃度の不純物領域13bとによりLDD構造のソース／ドレイン領域が構成される。

【0052】図13を参照して、シリコン基板1の表面全面に、たとえばTi、Co、Niなどよりなる金属膜15が成膜される。この後、熱処理が施され、金属膜15が第2のゲート電極層10に接している部分、ソース／ドレイン領域7、13に接している部分がシリサイド化される。この後、未反応の金属膜15が $H_2SO_4/H_2O_2$ などのウェット処理により除去される。

【0053】図14を参照して、上記のシリサイド化により、第2のゲート電極層10の表面にはシリサイド層15aが、ソース／ドレイン領域7、13の各表面にはシリサイド層15bが各々形成される。このシリサイド層15a、15bによって、より高速性が要求されるロジック回路内のトランジスタのゲート電極層および半導体基板が低抵抗化され、トランジスタ特性が向上する。

【0054】上記の方法で製造された本実施の形態の半導体装置の構成について以下に説明する。

【0055】図14を参照して、シリコン基板1の表面には、メモリ回路形成領域およびロジック回路形成領域を分離するための素子分離絶縁層2が形成されている。メモリ回路形成領域内にはMIS (Metal Insulated Semiconductor) トランジスタ20Aが、ロジック回路形成領域内にはMIS トランジスタ20Bが各々形成されている。

【0056】MIS トランジスタ20Aは、シリコン基板1の表面に形成された1対のソース／ドレイン領域7と、その1対のソース／ドレイン領域7に挟まれる領域上に第1のゲート絶縁層3を介して形成された第1のゲート電極層4とを有している。1対のソース／ドレイン領域7は、比較的低濃度の不純物領域7aと比較的高濃度の不純物領域7bとを有しており、その表面にはシリサイド層15bが形成されている。第1のゲート電極層4上にはハードマスク層5が形成されており、第1のゲート電極層4およびハードマスク層5の側壁を覆うように、ハードマスク層5と異なる材質よりなる側壁絶縁層8が形成されている。

【0057】MIS トランジスタ20Bは、シリコン基板1の表面に形成された1対のソース／ドレイン領域13と、その1対のソース／ドレイン領域13に挟まれる領域上に第2のゲート絶縁層9を介して形成された第2のゲート電極層10とを有している。ソース／ドレイン領域13は、比較的低濃度の不純物領域13aと比較的高濃度の不純物領域13bとを有しており、その表面にはシリサイド層15bが形成されている。第2のゲート絶縁層9は、第1のゲート絶縁層3と異なる膜厚(たと

えば薄い膜厚)を有している。また第2のゲート電極層10の表面上にはシリサイド層15aが形成されており、第2のゲート電極層10およびシリサイド層15aの側壁を覆うように、ハードマスク層5と異なる材質よりなる側壁絶縁層14が形成されている。

【0058】本実施の形態の製造方法では、図2に示すように第1のゲート電極層4上にハードマスク層5が形成される。このため、図4と図5とに示すように絶縁層8を全面エッチバックした場合でも、第1のゲート電極層4の表面が露出することはない、それゆえ第1のゲート電極層4の表面がプラズマに晒されることもない。よって、この全面エッチバック時に第1のゲート電極層4の上面にエッチング種・反応生成物が打込まれることはなく、それらによる第1のゲート絶縁層3の顕著なチャージアップも生じない。したがって、第1のゲート絶縁層3の絶縁耐圧不良の発生を抑制することができる。

【0059】また、第1のゲート絶縁層3は図1に示すように1回の熱酸化処理で形成され、第2のゲート絶縁層9も図8に示すように1回の熱酸化処理で形成される。このため、第1および第2のゲート絶縁層3、9は、膜厚設計に対して高精度に形成され、また不純物を含まずに高純度に形成される。したがって、高耐圧の第1および第2のゲート絶縁層3、9を得ることができる。

【0060】なお、上述した方法では、図10と図11とに示す側壁絶縁層14形成の工程において第2のゲート電極層10がプラズマに晒される。しかし、この第2のゲート電極層10の上面がプラズマに晒されるのはこのプロセス1回のみであるため、これによる第2のゲート絶縁層9のチャージアップは無視できる程度である。しかし、この第2のゲート電極層10の上面がプラズマに晒されるのを防止したい場合には、メモリ回路形成領域のトランジスタと同様、図8のプロセスにおいて第2のゲート電極層10上にハードマスク層が形成されればよい。

【0061】次に、ハードマスク層5と側壁絶縁層8との膜厚・材質について詳細に説明する。

【0062】ハードマスク層5と側壁絶縁層8とは異なる材質よりなっている。ハードマスク層5には、たとえばTEOS (Tetra Ethoxy Silane) 酸化膜、シリコン窒化膜またはシリコン窒化膜／TEOS酸化膜の積層膜などが用いられ、側壁絶縁層8には、たとえばTEOS酸化膜、シリコン窒化膜などが用いられる。

【0063】ハードマスク層5の膜厚は、TEOS酸化膜やシリコン窒化膜などの単層膜が用いられる場合、50～200nmである。またシリコン窒化膜／TEOS酸化膜の積層膜がハードマスク層5として用いられる場合、上層シリコン窒化膜の膜厚が30～100nm、下層TEOS酸化膜の膜厚が50～150nmである。側壁絶縁層8の膜厚は、30～100nmである。ハード



マスク層5と側壁絶縁層8との適用膜厚は半導体デバイスの構造やドライエッチング装置の性能などによって左右される。

【0064】ハードマスク層5および側壁絶縁層8に、TEOS酸化膜、シリコン窒化膜またはシリコン窒化膜／TEOS酸化膜のいずれを用いるかは、半導体デバイスの構造によって異なる。たとえば、メモリ回路部の製造フローにおいては、2つのトランジスタ（ゲート電極）間の活性領域に達するコンタクトホール（ビットラインコンタクト）を形成するとき、コンタクトホールの径とトランジスタ間のスリット幅と写真製版の重ね合わせ精度との組合せで、セルフアラインでコンタクトホールを形成する必要がある場合がある。この場合、ハードマスク層5および側壁絶縁層8はコンタクトホール形成時にエッチングストッパ膜として機能することが求められる。ゆえに層間酸化膜（たとえばTEOS酸化膜、BPTEOS膜、NSG膜など）に対してエッチング選択比をとりやすいシリコン窒化膜が用いられる。この場合、ゲート電極4上におけるストッパ膜としてはハードマスク層5が、ゲート電極4の側壁部分におけるストッパ膜としては側壁絶縁層8が機能する。したがって、ハードマスク層5はすべてがシリコン窒化膜である必要はなく、少なくともコンタクトホール形成時にエッチングストッパとして機能するのに必要な膜厚分のシリコン窒化膜（この膜厚はドライエッチング装置の性能により左右される）がハードマスク層5の最表面にあればよい。また、ハードマスク層5をシリコン窒化膜単層で形成した場合、シリコン酸化膜と比較して誘電率の高い膜が厚く層間内に残存することとなる。このため、シリコン窒化膜の膜厚によっては層間容量が増加してデバイスの特性劣化が生じる可能性があるため、ハードマスク層5としてはシリコン窒化膜／TEOS酸化膜の積層膜を用いることが望ましい。したがって、この場合には、ハードマスク層5がシリコン窒化膜／TEOS酸化膜の積層膜からなり、側壁絶縁層8がシリコン窒化膜単層よりなることが好ましい。

【0065】なお、今回開示された実施の形態は全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0066】

【発明の効果】本発明の半導体装置では、第1のゲート電極層上には第1および第2の側壁絶縁層と異なる材質を含むハードマスク層が形成されている。このため、第1および第2の側壁絶縁層形成のための全面異方性エッチング時に、第1のゲート電極層の上面が露出することがないため、プラズマに晒されることもない。よって、上記全面異方性エッチング時に、第1のゲート電極層

は、その上面にエッチング種・反応生成物を打込まれることはないため、それらによる第1のゲート絶縁層のチャージアップも生じない。したがって、第1のゲート絶縁層の絶縁耐圧不良の発生を抑制することができる。

【0067】上記の半導体装置において好ましくは、第1のゲート電極層の下側領域を挟むように半導体基板の主表面に形成されたソース／ドレインを構成する1対の第1不純物領域と、第2のゲート電極層の下側領域を挟むように半導体基板の主表面に形成されたソース／ドレインを構成する1対の第2不純物領域とがさらに備えられている。

【0068】これにより、メモリ回路、ロジック回路を構成する各トランジスタのソース／ドレインを形成することができる。

【0069】上記の半導体装置において好ましくは、第1不純物領域の表面に接する第1のシリサイド層と、第2不純物領域の表面に接する第2のシリサイド層と、第2のゲート電極層の上面に接する第3のシリサイド層とがさらに備えられている。

【0070】この第1～第3のシリサイド層により、ソース／ドレイン領域およびゲート電極層の低抵抗化を図ることができ、高速動作が可能となる。

【0071】上記の半導体装置において好ましくは、第1、第2および第3のシリサイド層は、チタンシリサイド、コバルトシリサイドおよびニッケルシリサイドよりなる群より選ばれる1種以上のシリサイドを含んでいる。

【0072】これにより、各条件に適したシリサイド層を選択することができる。上記の半導体装置において好ましくは、ハードマスク層はシリコン窒化膜とTEOS酸化膜との積層膜よりなり、第1の側壁絶縁層はシリコン窒化膜単層よりなる。

【0073】これにより、層間容量を抑制できるとともに、エッチングストッパとしての機能をもたせることができる。

【0074】本発明の半導体装置の製造方法では、第1のゲート電極層上には第1および第2の側壁絶縁層と異なる材質を含むハードマスク層が形成される。このため、第1および第2の側壁絶縁層の形成のための全面ドライエッチング時に、第1のゲート電極層の上面が露出することがないため、プラズマに晒されることもない。よって、上記全面ドライエッチング時に、第1のゲート電極層は、その上面にエッチング種・反応生成物を打込まれることがないため、それらによる第1のゲート絶縁層のチャージアップも生じない。したがって、第1のゲート絶縁層の絶縁耐圧不良の発生を抑制することができる。

【0075】上記の半導体装置の製造方法において好ましくは、以下の工程がさらに備えられている。

【0076】第1のゲート電極層をマスクとして半導体

基板に不純物が導入されることで、第1のゲート電極層の下側領域を挟むように半導体基板の主表面に1対の低濃度不純物領域が形成される。そして第2のゲート電極層をマスクとして半導体基板に不純物が導入されることで、第2のゲート電極層の下側領域を挟むように半導体基板の主表面に1対の第2低濃度不純物領域が形成される。そして第1のゲート電極層と第1の側壁絶縁層とをマスクとして半導体基板に不純物が導入されることで、第1のゲート電極層と第1の側壁絶縁層との下側領域を挟むように半導体基板の主表面に1対の第1高濃度不純物領域が形成されることで、第1低濃度不純物領域と第1高濃度不純物領域とで第1のソース／ドレイン領域が構成される。そして第2のゲート電極層と第2の側壁絶縁層とをマスクとして半導体基板に不純物が導入されることで、第2のゲート電極層と第2の側壁絶縁層との下側領域を挟むように半導体基板の主表面に1対の第2高濃度不純物領域が形成されることで、第2低濃度不純物領域と第2高濃度不純物領域とで第2のソース／ドレイン領域が構成される。

【0077】これにより、メモリ回路、ロジック回路を構成する各トランジスタのソース／ドレインを形成することができる。

【0078】上記の半導体装置の製造方法において好ましくは、第2のゲート電極層表面、ハードマスク層表面および第1および第2のソース／ドレイン表面に接するように金属層を形成する工程と、金属層が第2のゲート電極層と接する部分および第1および第2のソース／ドレイン領域と接する部分をシリサイド化させ、第1のソース／ドレイン領域表面に第1のシリサイド層と、第2のソース／ドレイン領域表面に第2のシリサイド層と、第2のゲート電極層表面に第3のシリサイド層とを形成する工程とがさらに備えられている。

【0079】この第1～第3のシリサイド層により、ソース／ドレイン領域およびゲート電極層の低抵抗化を図ることができ、高速動作が可能となる。

【0080】上記の半導体装置の製造方法において好ましくは、金属層はチタン、コバルトおよびニッケルよりなる群より選ばれる1種以上の金属を含んでいる。

【0081】これにより、各条件に適したシリサイド層を選択することができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第1工程を示す概略断面図である。

【図2】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第2工程を示す概略断面図である。

【図3】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第3工程を示す概略断面図である。

【図4】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第4工程を示す概略断面図である。

【図5】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第5工程を示す概略断面図である。

【図6】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第6工程を示す概略断面図である。

【図7】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第7工程を示す概略断面図である。

【図8】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第8工程を示す概略断面図である。

【図9】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第9工程を示す概略断面図である。

【図10】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第10工程を示す概略断面図である。

【図11】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第11工程を示す概略断面図である。

【図12】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第12工程を示す概略断面図である。

【図13】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第13工程を示す概略断面図である。

【図14】 本発明の一実施の形態におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第14工程を示す概略断面図である。

【図15】 従来のデュアルゲートオキサイドを有する半導体装置の製造方法の第1工程を示す概略断面図である。

【図16】 従来のデュアルゲートオキサイドを有する半導体装置の製造方法の第2工程を示す概略断面図である。

【図17】 従来のデュアルゲートオキサイドを有する半導体装置の製造方法の第3工程を示す概略断面図である。

【図18】 従来のデュアルゲートオキサイドを有する半導体装置の製造方法の第4工程を示す概略断面図である。

【図19】 従来のデュアルゲートオキサイドを有する半導体装置の製造方法の第5工程を示す概略断面図である。

【図20】 従来のデュアルゲートオキサイドを有する半導体装置の製造方法の第6工程を示す概略断面図であ

る。

【図21】 従来のデュアルゲートオキサイドを有する半導体装置の製造方法の第7工程を示す概略断面図である。

【図22】 従来のデュアルゲートオキไซด์を有する半導体装置の製造方法の第8工程を示す概略断面図である。

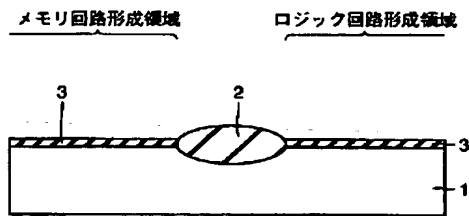
【図23】 従来のデュアルゲートオキไซด์を有する

半導体装置の製造方法の第9工程を示す概略断面図である。

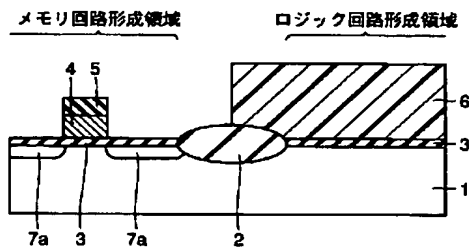
【符号の説明】

1 シリコン基板、3 第1のゲート絶縁層、4 第1のゲート電極層、5 ハードマスク層、8 第1の側壁絶縁層、9 第2のゲート絶縁層、10 第2のゲート電極層。

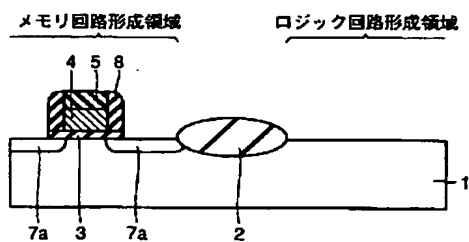
【図1】



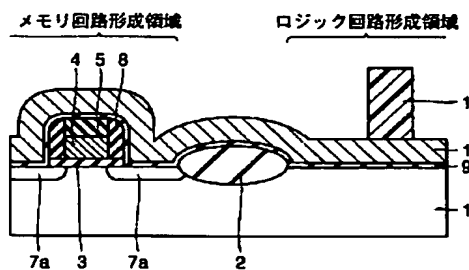
【図3】



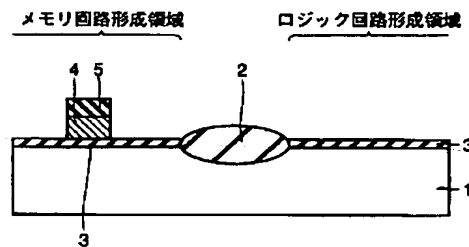
【図5】



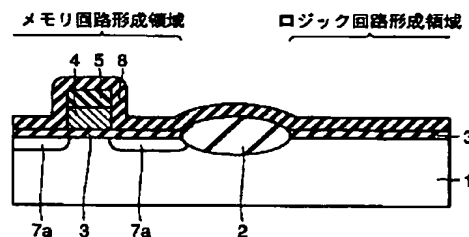
【図7】



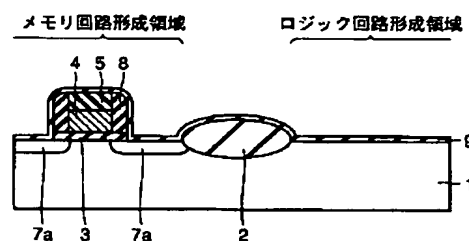
【図2】



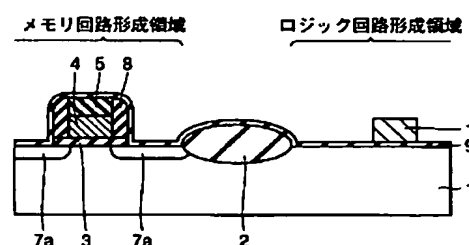
【図4】



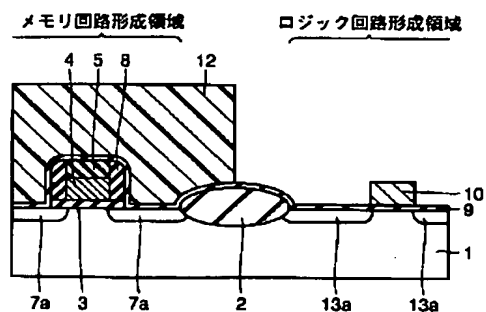
【図6】



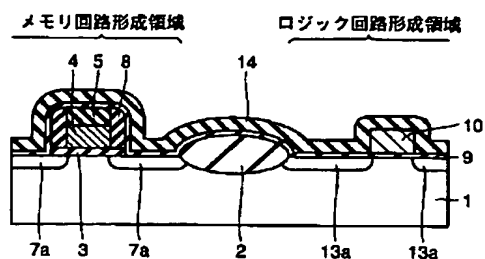
【図8】



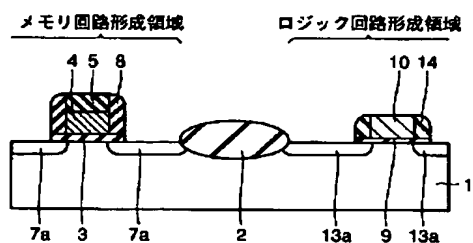
【図 9】



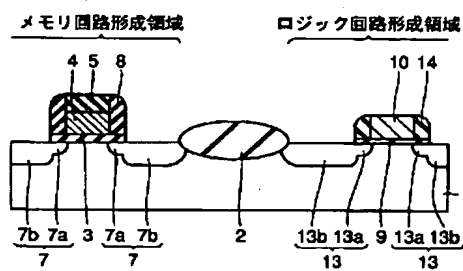
【図 10】



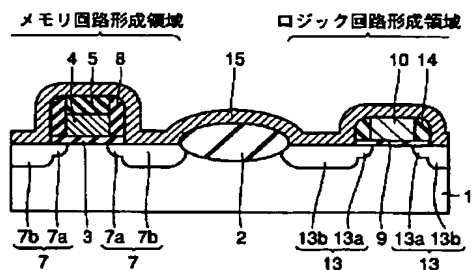
【図 11】



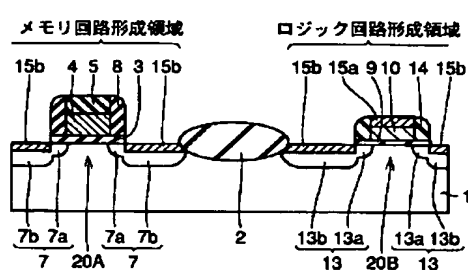
【図 12】



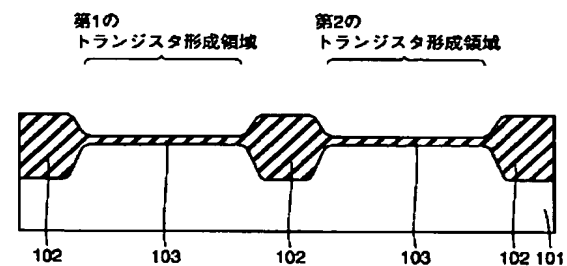
【図 13】



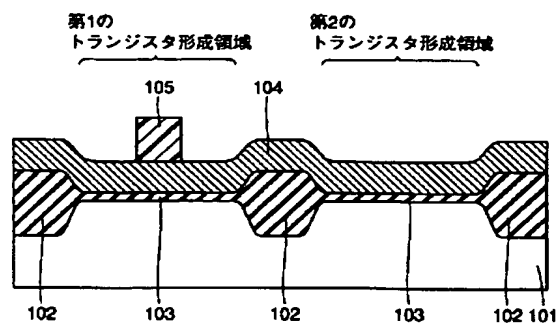
【図 14】



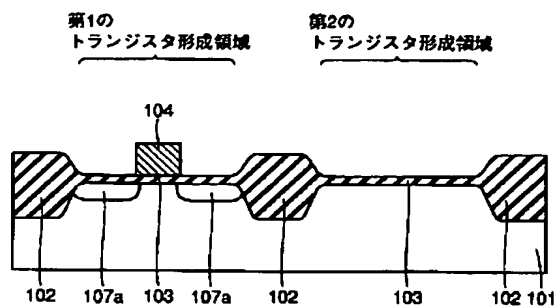
【図 15】



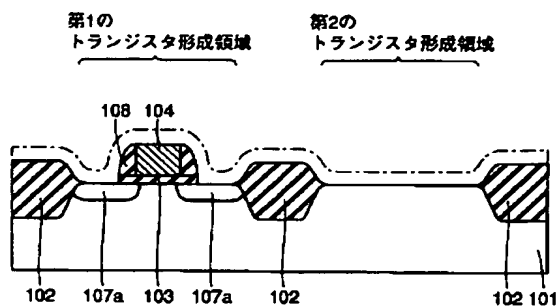
【図 16】



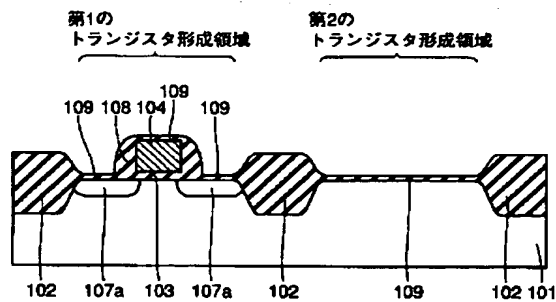
【図 17】



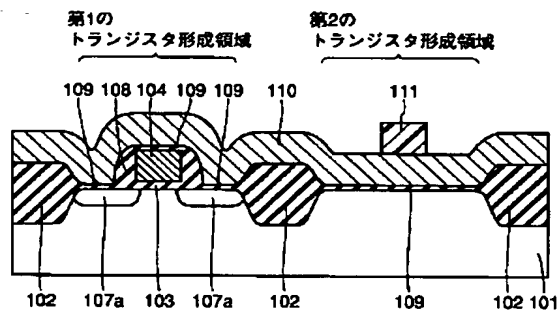
【図 18】



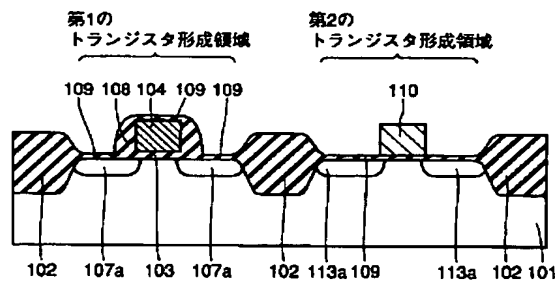
【図 19】



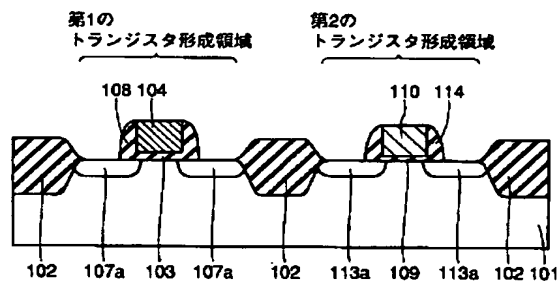
【図 20】



【図 21】



【図 22】



【図 23】

